

针对暗目标的帧转移面阵CCD成像系统设计*

张玉衡^{1,2†} 颜毅华^{1‡}

(1 中国科学院国家天文台太阳活动重点实验室 北京 100012)

(2 中国科学院大学 北京 100049)

摘要 为了实现在深空探测中对暗弱天体目标的低噪声观测要求, 提出了一种稳定简单的空间相机成像系统的设计方法. 基于英国E2V公司的背照式帧转移面阵CCD (CCD47-20AIMO), 给出了系统各组成部分的电路设计原理. 其中相关双采样型模拟-数字转换器(AD)和动态存储器(SDRAM)的运用可以有效抑制图像信号中的相关噪声. 此外, 还提出了便于调整曝光时间的驱动控制方法, 将感光阶段的曝光时间独立出一个可调延时, 使成像系统更适于长曝光时间的调整要求. 成像系统采用Altera公司的CycloneIII系列的EP3C25Q240C8型现场可编程门阵列(FPGA)作为核心控制器件, 驱动的编写按照各器件功能进行模块化设计, 具有很强的可移植性. 对成像系统的各时序端进行的仿真和实测结果表明驱动电路工作正常, 系统设计符合预期要求.

关键词 航天器; 仪器

中图分类号: P111; **文献标识码**: A

1 引言

深空探测是我国航天事业的三大领域之一, 继嫦娥一号对月探测的成功实施, 我国将逐步开展对整个太阳系的深空探测活动. 深空探测不受地球辐射带影响, 不受地球遮挡, 相对于地面观测手段而言, 可连续获得精度更高的观测数据. 空间相机是深空探测器上重要的图像采集单元. 在观测遥远的暗弱天体时, 图像传感器通常需要经过较长时间的曝光来收集光信号. 这种长时间的感光 and 光电荷转移过程, 会使系统内部噪声对信号的污染变重. 为了适应微光和低噪声工作的系统要求, 成像系统在构建时需要在传感器的选型、相机拍摄模式的设计、曝光时间的调控方法等方面作特殊考虑. 基于上述背景, 本文提出了一种稳定且电路结构简单的空间相机成像系统的设计方法^[1-3].

CCD电荷耦合器件是一种高性能的光电图像传感器, 根据结构面阵CCD可分为行转移式、帧转移式和全帧式. 帧转移式CCD由于其结构上的特点, CCD像素一半用于

2014-10-24收到原稿, 2014-11-17收到修改稿

*国家自然科学基金项目(11221063)资助

[†] yhzhang@bao.ac.cn

[‡] yyh@bao.ac.cn

感光,一半遮光用于数据存储.这种结构可以使感光区像素曝光后直接转移到存储区,具有很方便的“电子快门”效果.对比起来,全帧式CCD的整个CCD像素都用于感光,成像时需要借助快门,在曝光结束后遮蔽整个CCD才能进行光信息的转移和传输.对于深空探测器而言,由于帧转移式CCD具有电子快门的特性,成像系统无需安装机械快门,可以有效降低结构复杂性,提高可靠性和维修性.E2V公司生产的背照式帧转移型面阵CCD (CCD47-20AIMO)就是这一类型的CCD,其高灵敏度和低噪声的特点也极适于微光工作的场合.因此选择它作为核心图像传感器.

AD采样的类型和速率以及供电电压平稳度是影响成像系统噪声高低的主要因素.本系统使用了高速相关双采样型AD转换器,可以有效抑制CCD中的相关噪声.

对于暗弱目标的拍摄,需要较长的曝光时间作为保证,且曝光时间的调整方法不能降低图像的质量.曝光时间的两种常见调整方法是:(1)改变系统整体的工作频率,进而改变曝光阶段的工作时间.(2)系统的工作频率不变,给系统定义一个基本曝光时间和延时.通过更改延时,改变总的曝光时间.在一张照片的拍摄流程中,各个工作环节都由系统工作频率决定.在相同的系统工作频率下,每个环节的工作时间是一定的.因此,对于快速曝光且曝光时间常常变化的场合,方法一最为简单.只需改变系统主频,就可以改变曝光时间,不用对程序做其他调整.但是在曝光时间很长且图像幅面大的场合,这种方法会使图像在传输环节因主频下降而大大增加信号的输出时间,影响信号质量和输出效率.对比起来,方法二不改变主频,仅仅对曝光时间部分做了调整,不影响图像传输的其他环节,图像的质量和输出速度不变.由于曝光时间的调整被独立出来,这种设定方法在长曝光的场合显得更加方便和清晰.本系统采用了方法二的曝光调整方式,并将驱动的功能模块化,便于硬件功能的移植.

下面就成像系统的具体实现方法进行详细说明.

2 帧转移面阵CCD47-20AIMO的结构和工作原理

CCD47-20AIMO是英国E2V公司生产的一款低噪声背照式的帧转移面阵CCD.其性能参数如表1所示.

它采用背照结构,峰值量子效率超过90%,具有极低的暗电流和较小的读出噪声,在20 kHz读出速率时,读出噪声小于 $2.0\text{ e}^- \text{ rms}$,非常适于暗目标的探测.这款CCD有双路输出和单路输出两种输出模式,支持200~1100 nm范围的光谱信号.光谱响应特征曲线如图1所示.

CCD47-20AIMO芯片由感光区、存储区、水平移位寄存器和输出电路等部分组成,结构如图2所示.感光区为CCD的光敏单元阵列,用于在感光阶段进行光电转换积累电荷.感光时间的长短根据探测目标的曝光时间要求而定.这期间感光区不与存储区发生电荷转移.在感光阶段结束后,感光区捕获到的电荷将被快速转移到存储区,存储区的电荷通过水平移位寄存器逐行读出,最终通过放大器将电荷转换为电压输出.

CCD47-20AIMO型帧转移面阵CCD的驱动过程主要通过控制感光区时钟 $I\phi 1$ 、 $I\phi 2$ 、 $I\phi 3$,存储区时钟 $S\phi 1$ 、 $S\phi 2$ 、 $S\phi 3$,读出时钟 $R\phi 1$ 、 $R\phi 2$ 、 $R\phi 3$ 、 ϕR ,转移存储门DG的相应时序,实现一个帧周期内两个主要工作阶段,即感光阶段、转移阶段.两个阶段交替进行,实现照片的连续曝光和输出.

表 1 CCD47-20AIMO性能参数
Table 1 The CCD47-20AIMO performance indexes

Item	Value
Image area	13.3 mm × 13.3 mm
Active pixels	1024 pixels (H) × 1024 pixels (V)
Pixel size	13 μm × 13 μm
Storage area	13.3 mm × 13.3 mm
Storage pixels	1024 pixels (H) × 1033 pixels (V)
Maximum readout frequency	5 MHz
Output responsivity	4.5 μV/e ⁻
Peak signal	100 ke ⁻ /pixel
Dynamic range (at 20 kHz)	~50000:1
Readout noise (at 20 kHz)	2.0 e ⁻ rms
Spectral range	200-1100 nm

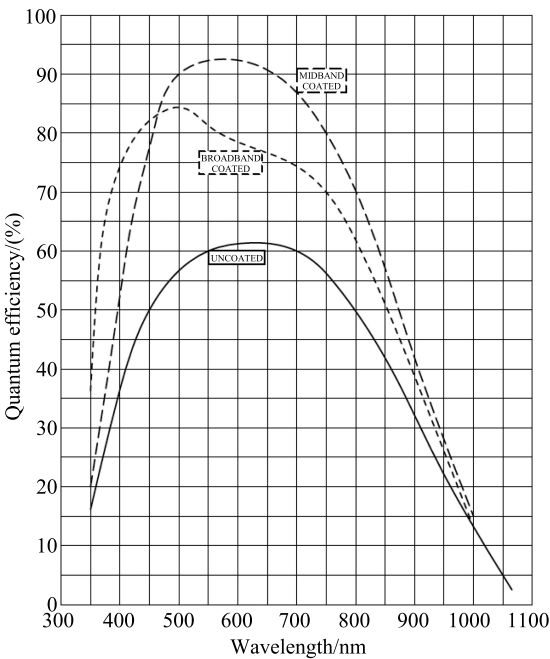


图 1 在-20℃时CCD47-20AIMO的光谱响应特征^[4]
Fig. 1 The spectrum response characteristic of CCD47-20AIMO at -20℃^[4]

在感光阶段, 感光区时钟 $I\phi 1$ 、 $I\phi 2$ 、 $I\phi 3$ 保持低电平不变收集电荷, 同时存储区时钟和读出时钟发出行转移脉冲序列. 当行转移周期数大于或等于1 028个周期后, 上一帧存储的图像信号被完全输出, 存储区时钟和读出时钟保持低电平等待状态. 此时若感光时间大于该时间, 则继续保持持续电平等待状态. 在转移阶段, 感光区时钟和存储区时钟

发出三相移位脉冲进行当前曝光帧图像的帧转移过程. 当帧转移周期持续1 033个周期后结束.

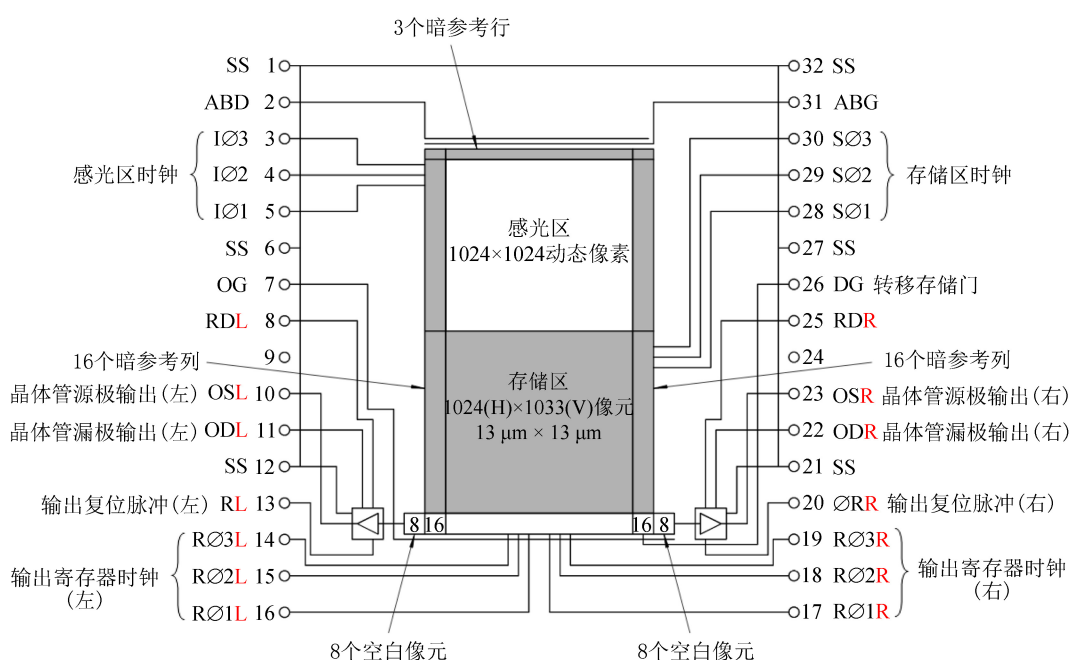


图 2 CCD47-20AIMO的结构示意图^[4]

Fig. 2 The diagram of CCD47-20AIMO structure^[4]

由此可见, 在一张照片拍摄的帧周期中, 感光阶段中存储区向移位寄存器电荷输出的时间(≥ 1028 个脉冲周期)和帧转移阶段感光区电荷向存储区转移的时间(1 033个脉冲周期)是固定的. 当感光时间较长时, 曝光时间的延迟通过存储区时钟和读出时钟低电平等待实现. 对暗弱的天体进行拍摄时, 感光持续时间大多较长, 从半分钟到数小时不等. 根据CCD47-20AIMO的特点, 可以把多出的感光时间独立出来变为可调延时, 放在感光阶段的后部, 形成更适于长曝光时间调整的工作模式. 工作模式示意图如图3所示.

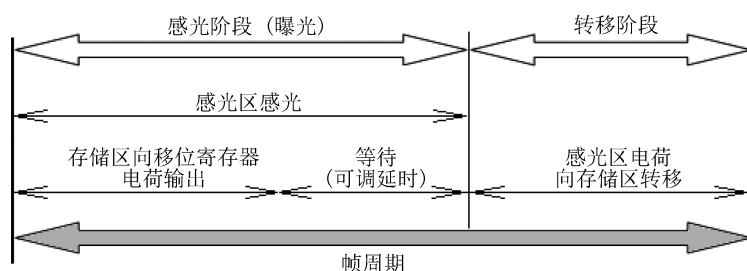


图 3 CCD47-20AIMO工作模式示意图

Fig. 3 The diagram of CCD47-20AIMO operating mode

3 成像系统的驱动电路设计

帧转移面阵CCD47-20AIMO的驱动电路由时序产生单元FPGA (现场可编程门阵列)、CCD时序驱动单元、相关双采样AD、SDRAM缓存器、电源变换电路、电源等部分组成. 总体结构框图如图4所示.

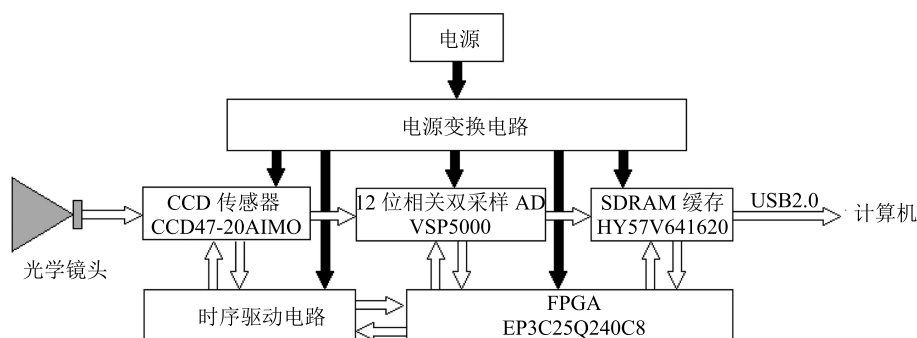


图4 CCD成像系统驱动电路总体结构框图

Fig. 4 The structure diagram of drive circuit of CCD imaging system

被照物体经由光学镜头成像至感光区. CCD经过曝光、帧传输、帧转移等工作过程将图像信号输出. 该图像的模拟信号通过AD转换器转换为12位数字信号后, 暂存在SDRAM中. 最后经过USB2.0传输总线将信号传至上位机并保存为图像. 在整个系统设计中, FPGA作为核心控制器件, 发出系统所需要的所有时序脉冲序列, 控制CCD、AD转换器、SDRAM的数据存取以及USB数据传输.

本文中采用Altera公司生产的CycloneIII系列的EP3C25Q240C8型FPGA来实现上述时序产生功能. 由于FPGA输出的驱动脉冲电平为 $0\sim+3.3\text{ V}$, 带载能力不足以驱动CCD这类大电容负载, 所以需要相应的电平转换电路即时序驱动电路, 将FPGA产生的较弱的脉冲信号转变为较强的驱动脉冲供CCD使用.

CCD47-20AIMO共需15路驱动时钟, 各路时钟要求的电压范围均不同, 其中感光区时钟($+15\text{ V}$) $I\phi 1$ 、 $I\phi 2$ 、 $I\phi 3$, 存储区时钟($+15\text{ V}$) $S\phi 1$ 、 $S\phi 2$ 、 $S\phi 3$, 读出时钟($+10\text{ V}$, $+12\text{ V}$) $R\phi 1R$ 、 $R\phi 2R$ 、 $R\phi 3R$ 、 ϕRR (右路)、 $R\phi 1L$ 、 $R\phi 2L$ 、 $R\phi 3L$ 、 ϕRL (左路), 清除电荷用时钟DG. 各路驱动电路是基于EL7212CS来实现的. EL7212CS是一款高速的双通道功率MOSFET驱动器, 可驱动 $1\ 000\text{ pF}$ 以上的大电容负载. 由于该芯片可实现 $-0.3\sim+16.5\text{ V}$ 之间的电平转换, 可使输出的电压与加载的偏置电压幅值相同, 因此仅通过简单的改变偏置电压即可改变输出电压, 很方便地实现不同电压幅度的输出要求. 感光区时钟驱动电路如图5所示. 图中, PI1、PI2、PI3为与FPGA相连的引脚, Io1、Io2、Io3为CCD感光区时钟接脚. 其他各路时钟驱动电路形式与感光区完全相同.

CCD输出的信号包含大量的噪声, 其中以CCD输出结构产生的复位噪声为主要因素, 如果不消除, 将严重影响信号的信噪比. 相关双采样是信号处理电路的关键, 它对复位噪声和参考电平的变化可用相关特性加以抑制, 这项技术基本上可以将噪声降低一个数量级. VSP5000就是采用相关双采样技术制成的一款12位AD, 最大 30 MHz 采样率, 其内部有内置放大器, 可以对AD转换前的模拟信号做内部放大后再输出. 相关双

采样在每个像素周期内对参考电平和信号电平各进行一次采样, 其工作模式如图6所示. 其中CCD输出信号的参考电平和信号电平分别由SHP和SHD在各自的上升沿进行采样. 将两次采样值相减就可抑制视频信号中的相关噪声, 两次采样之差即视频信号的真实成分.

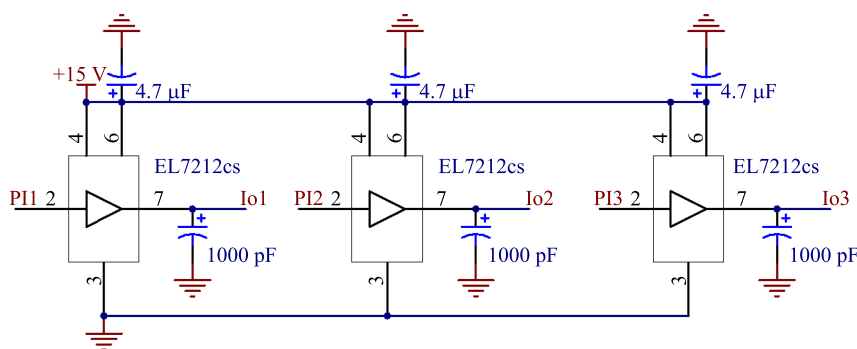


图 5 CCD47-20AIMO感光区时钟驱动电路

Fig. 5 The clock drive circuit of CCD47-20AIMO image area

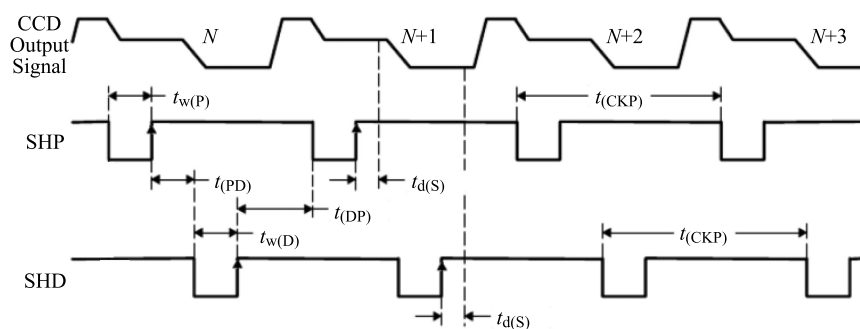


图 6 相关双采样模式图^[5]

Fig. 6 The diagram of correlated double sampling^[5]

为保证CCD各驱动单元的正常工作, 要提供所需的直流偏置电压. 根据CCD传感器及AD转换器等部件的电压需求, 偏置电压电路要产生+29 V (OD)、+17 V (RD)、+15 V (Io1~Io3, So1~So3)、+12 V (oR)、+10 V (Ro1~Ro3)、+9.5 V (SS)、+5 V (FPGA)、+3.3 V (FPGA、VSP5000)、+3 V (OG)等9种电压^[6]. LM2596开关电压调节器是一款降压型电源管理单片集成电路, 能够输出3 A的驱动电流, 具有很好的线性和负载调节特性, 其可调版本可以输出小于37 V的各种电压. 该器件内部集成频率补偿和固定频率发生器, 开关频率为150 kHz, 与低频开关调节器相比较, 可以使用更小规格的滤波元件, 功耗小、效率高. 由于驱动要求的9种电压均小于37 V, 故所有直流偏压都采用该器件实现. 偏压电路的产生原理图如图7所示. 输出偏压的幅值通过电阻R2进行调整.

由于CCD的数据输出是间断的, 且其输出的速率与最终数据总线的传输速率不一致, 这就需要一个存储设备作为数据缓冲区来缓存数据. 图像数据从CCD输出后经AD转换, 先存入缓存器中, 待整帧图像都输出结束后, 再从缓存器中集中输出, 这

样可以有效避免因输出速率不匹配而造成的数据丢失. 这里选用了同步动态存储器(SDRAM) 作为缓存器. 它与同样体积的静态存储器相比, 耗电量低, 容量更大, 更适合小体积低功耗系统设计的需要. CCD47-20AIMO输出的一帧图片容量约为12M位, HY57V641620存储容量为4组 $\times$ 16M位(8M字节), 可存储约4帧图像, 满足缓存容量要求.

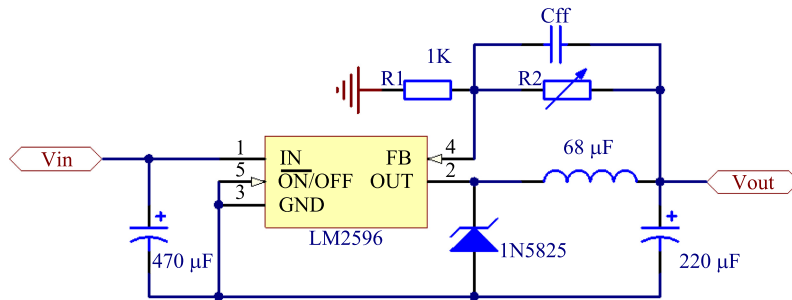


图7 直流偏压产生原理图

Fig. 7 The schematic for producing DC bias

4 成像系统的驱动时序设计

对于整个成像系统, CCD的驱动时序及各核心器件的控制脉冲均由FPGA产生. 使用Verilog语言对驱动时序进行硬件描述. 为了方便时序的设计调试以及未来的移植, 各驱动采用模块化的形式分别编写. CCD及AD驱动部分转化为CCD&AD驱动模块, 存储器驱动转化为SDRAM控制器模块, USB2.0驱动转化为输出接口模块. 其中CCD&AD驱动模块的编写较为特殊.

在感光阶段的前部分, 光信息电荷由存储区向移位寄存器输出, 即由CCD的信号输出端OS端输出模拟信号. 在帧周期的其他阶段, 信号输出端OS端的输出均保持为高电平. 因此, CCD的有效信号输出是间断的, 并且AD的工作是伴随着这个信号的输出一同进行的. 将AD的驱动控制和CCD驱动的编写做一体化处理, 可以简化信号的处理过程. AD只在CCD有有效信号输出时进行工作, 其他时段则关闭不转换, 既可以保证工作效率又可以防止非有效信号的误转换给系统带来的干扰. CCD&AD驱动模块结构框图如图8所示.

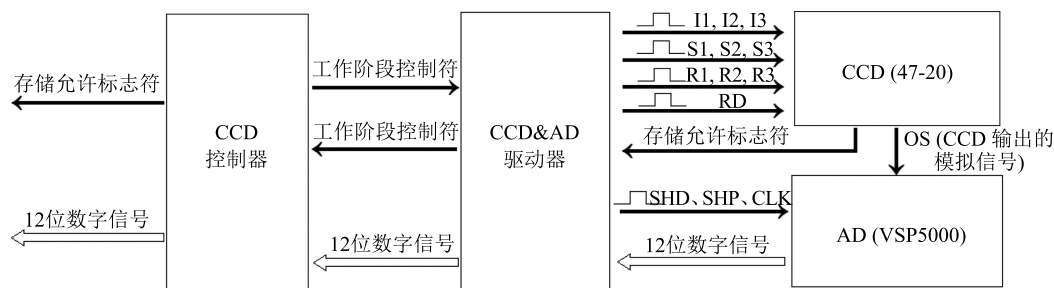


图8 CCD&AD驱动模块结构框图

Fig. 8 The structure diagram of CCD&AD drive modules

整个成像系统的驱动由主流程控制, 根据对象的拍摄要求安排各个子功能单元的执行次序, 在相应时间点调用各功能模块. 成像系统的主控制流程如图9所示. 该主流程描述了一张照片拍摄的全过程, 经过初始化、曝光、转移、输出后结束. 曝光时间通过调整延迟进行修改. 该流程在启动后仅可完成一张照片的拍摄, 将来若想进行连续拍照, 还需要将拍摄的中间过程改为循环结构.

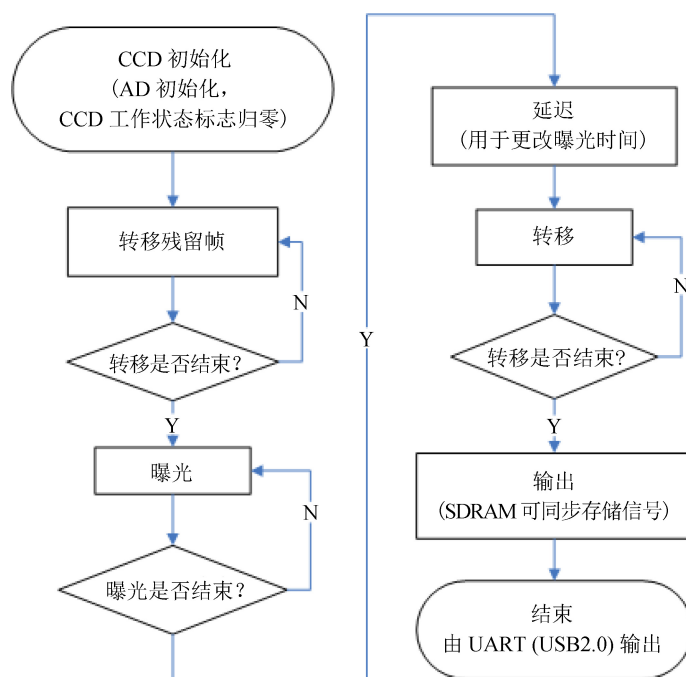


图 9 成像系统主控制流程图

Fig. 9 The master control flow chart of imaging system

5 实验结果

首先在Altera公司的QuartusII集成开发环境下仿真成像系统中各核心器件的驱动时序的逻辑. 图10、图11分别所示的是CCD驱动和AD驱动的时序仿真结果.

由于仿真系统仿真时间的限制, 为了方便查看成像系统在整个图像帧中各个阶段时序的产生情况, 各路时序行转移像素的数目缩小为3行(实际为1 024行). 由仿真结果可见, CCD和AD驱动的时序设计与器件说明书要求一致.

检测成像系统中各种电源正常后, 安装帧转移面阵CCD47-20AIMO, 用示波器检测CCD的输出信号和AD转换信号. 图12所示为示波器输出结果. 由示波器的输出结果表明, CCD输出端OS已根据成像系统的主流程控制输出了相应的模拟信号, 相关双采样AD的前端采样端SHP的上升沿也恰好与模拟信号参考电平输出时刻相对齐, 证明CCD与AD驱动的时序输出和驱动电路的工作是正常的.

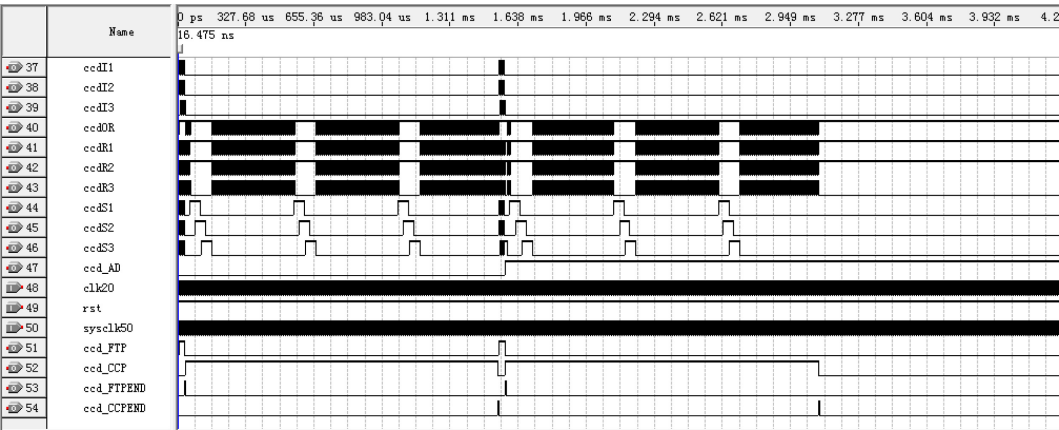


图 10 CCD时序后仿真图

Fig. 10 The post simulation map of CCD time series

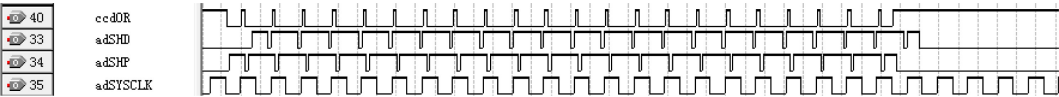


图 11 AD转换器CDS模式下后仿真图

Fig. 11 The post simulation map of AD converter in the CDS mode

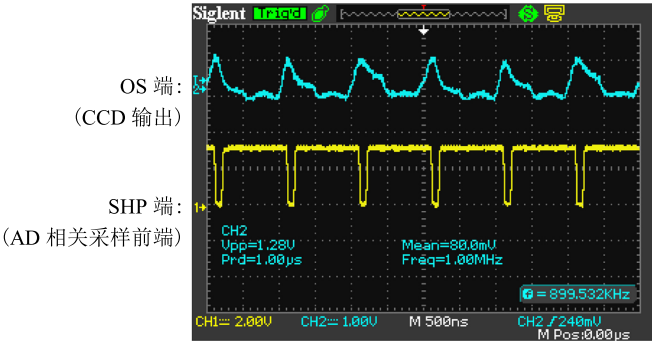


图 12 CCD输出信号与AD在CDS模式下采样的结果

Fig. 12 The sampling results of CCD output signal and AD in the CDS mode

6 结论

本文针对暗目标拍摄的特点和帧转移面阵CCD结构的特殊性, 结合CCD47-20AIMO提出了一种稳定简单的帧转移面阵CCD成像系统的设计方法. 文中着重介绍了驱动电路的设计方法及成像系统的简单拍摄流程设计. 在图像拍摄的帧周期中, 将曝光时间独立为可调延时, 通过调整该延时时间来控制曝光时间. 对于各类具有长曝光拍摄需求的暗弱目标而言, 这种方法很方便地解决了曝光时间的调整问题. 本文在最后

分别对成像系统的各时序端进行了仿真和实测,验证了驱动电路的正常工作.

深空探测作为航天技术取得重大成就的基础上进行的探测活动,是我国进一步发展航天领域的必然选择. 本文所研究的成像系统作为对空间相机驱动的技术预研,为最终研制深空探测器上的高性能空间面阵CCD相机提供了必要的硬件准备.

参 考 文 献

- [1] 蔡文贵, 李永远, 许振华. CCD技术及应用. 北京: 电子工业出版社, 1992: 2-34
- [2] 刘巨, 薛军, 任建岳. 宇航学报, 2009, 30: 422
- [3] 贺小军, 王金玲, 金光. 宇航学报, 2012, 33: 1354
- [4] E2V Corporation. CCD47-20 Back Illuminated High Performance AIMO data sheet, 2007: 5-11
- [5] TEXAS INSTRUMENTS. VSP5000 data sheet, 2002: 8
- [6] 冉晓强, 汶德胜. 科学技术与工程, 2005, 5: 1685

Design of Frame Transfer Area CCD Imaging System for Dark Objects

ZHANG Yu-heng^{1,2} YAN Yi-hua¹

(1 Key Laboratory of Solar Activity, National Astronomical Observatories of Chinese Academy of
Sciences, Beijing 100012)

(2 University of Chinese Academy of Sciences, Beijing 100049)

ABSTRACT To realize the requirement of low-noise observation of the dark objects in deep-space missions, a simple and stable design method for the imaging system of space camera is proposed in this paper, and it is performed for the schematic circuit diagram design of each part of the CCD47-20 back illuminated AIMO produced by E2V company. The long exposure for the dark object observation can be realized by adjusting the delay time. The imaging system circuit uses the synchronous dynamic random access memory (SDRAM) and correlated double sampling (CDS) analog-to-digital converter (AD) which can remove the noise in the image signal. The Altera's CycloneIII EP3C25Q240C8 field programmable gate array (FPGA) is adopted as the core control device in the imaging system to write the driver, which is modularly designed and portable as well. The simulation and measurement show that the drive circuit works normally to satisfy the requirement of systematic design.

Key words space vehicles: instruments